



Ministero delle Attività Produttive

Direzione Generale per lo Sviluppo Produttivo e la Competitività -
Ufficio Italiano Brevetti e Marchi
Ufficio G2

Autenticazione di copia di documenti relativi alla domanda di brevetto per: **Invenzione Industriale**
N. TO2003 A 000121



*Si dichiara che l'unità copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito.*

CERTIFIED COPY OF
PRIORITY DOCUMENT

10 MAR. 2004

Ro

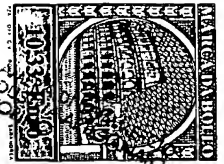
IL FUNZIONARIO
D.ssa Paola Giuliano

Paola Giuliano

AL MINISTERO DELL'INDUSTRIA DEL COMMERCIO E DELL'ARTIGIANATO

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITÀ AL PUBBLICO



A. RICHIEDENTE (I)

1) Denominazione STMICROELECTRONICS S.R.L. SR
 Residenza AGRATE BRIANZA (MI) codice 00951900968
 2) Denominazione _____
 Residenza _____ codice _____

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome e nome CERBARO Elena e altri cod. fiscale _____
 denominazione studio di appartenenza STUDIO TORTA S.r.l.
 via Viotti n. 10009 città TORINO cap 10121 (prov) TO

C. DOMICILIO ELETTIVO destinatario

via _____ n. _____ città _____ cap _____ (prov) _____

D. TITOLO

classe proposta (sez/cl/sci) _____ gruppo/sottogruppo _____

AMPLIFICATORE DI LETTURA DI CELLE DI MEMORIA NON VOLATILI A BASSA TENSIONE DI ALIMENTAZIONE

ANTICIPATA ACCESSIBILITÀ AL PUBBLICO: SI ☐ NO ☐

SE ISTANZA: DATA _____ N° PROTOCOLLO _____

E. INVENTORI DESIGNATI

cognome nome

1) PASOTTI Marco 3) IEZZI David
 2) DE SANDRE Guido 4) POLES Marco

F. PRIORITÀ

nazione o organizzazione	tipo di priorità	numero di domanda	data di deposito	allegato S/R	SCIOGLIMENTO RISERVE	
					Data	N° Protocollo
1) _____	_____	_____	____/____/____	_____	____/____/____	____/____/____
2) _____	_____	_____	____/____/____	_____	____/____/____	____/____/____

G. CENTRO ABILITATO DI RACCOLTA CULTURE DI MICRORGANISMI, denominazione

H. ANNOTAZIONI SPECIALI

Per la migliore comprensione dell'invenzione è stato necessario depositare disegni con diciture come
convenuto dalla Convenzione Europea sulle formalità alle quali l'Italia ha aderito.

DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) 1 PROV n. pag. 20 riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare) _____
 Doc. 2) 1 PROV n. tav. 102 disegno (obbligatorio se citato in descrizione, 1 esemplare) _____
 Doc. 3) 1 RIS lettera d'incarico, procura o riferimento procura generale _____
 Doc. 4) 1 RIS designazione inventore _____
 Doc. 5) 1 RIS documenti di priorità con traduzione in italiano _____
 Doc. 6) 1 RIS autorizzazione o atto di cessione _____
 Doc. 7) 1 nominativo completo del richiedente _____

8) attestati di versamento, totale Euro Duecentonovantuno/80

COMPILATO IL 18 02 2003 FIRMA DEL (I) RICHIEDENTE (I) Elena Cerbaro

CONTINUA SINO NO

CERBARO Elena

DEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SINO SI

CAMERA DI COMMERCIO IND. ART. AGR. DI TORINO codice 101

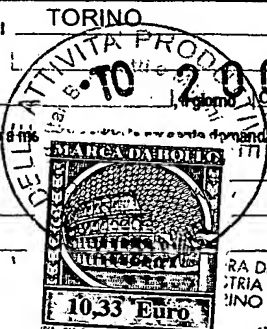
VERBALE DI DEPOSITO NUMERO DI DOMANDA 2003A000121

L'anno duemilatre il giorno 18 del mese di Febbraio

Il (I) richiedente (I) sopraindicato (I) ha (hanno) presentato a me _____, corredate di n. 10 fogli aggiuntivi per la concessione del brevetto sopraportato.

I. ANNOTAZIONI VARIE DELL'UFFICIO ROGANTE

Gabriella P. Lotti
 IL DEPOSITANTE
P. STUDIO TORTA s.r.l.
 (Gabriella PILOTTI)



UFFICIO ITALIANO BREVETTI E MARCHI
 CAMERA DI COMMERCIO
 INDUSTRIA ARTIGIANATO E AGRICOLTURA
 TIMBRO
 dell'ufficio

Mirella CAVALLARI
 UFFICIALE ROGANTE

Mirella Cavallari

RIASSUNTO INVENZIONE CON DISEGNO PRINCIPALE

NUMERO DOMANDA

TO 2 003 A 000 121

NUMERO BREVETTO

Caso 02-AG-384/AL
Ns.Rf.2/5531

PROSPETTO A

DATA DI DEPOSITO 18/10/2003

DATA DI RILASCIO

A. RICHIEDENTE (I)

Denominazione

STMICROELECTRONICS S.R.L.

Residenza

AGRATE BRIANZA (MI)

D. TITOLO

AMPLIFICATORE DI LETTURA DI CELLE DI MEMORIA NON VOLATILI A BASSA TENSIONE DI ALIMENTAZIONE

Classe proposta (sez./cl./scl/)

(gruppo/sottogruppo)

L. RIASSUNTO

Un amplificatore di lettura di celle di memoria (2) non volatile include una cella di riferimento (12), un primo carico (13), collegato alla cella di riferimento (12), e un secondo carico (14), collegabile a una cella di memoria (2) non volatile, sia il primo carico (13), sia il secondo carico (14) avendo resistenza controllabile; un circuito di controllo (15) del primo carico (13) e del secondo carico (14), fornisce al primo carico (13) e al secondo carico (14) una tensione di controllo (V_{GS}) indipendente da una tensione operativa (V_{DS}) fra un primo e un secondo terminale di conduzione (13a, 22) del primo carico (13).

M. DISEGNO

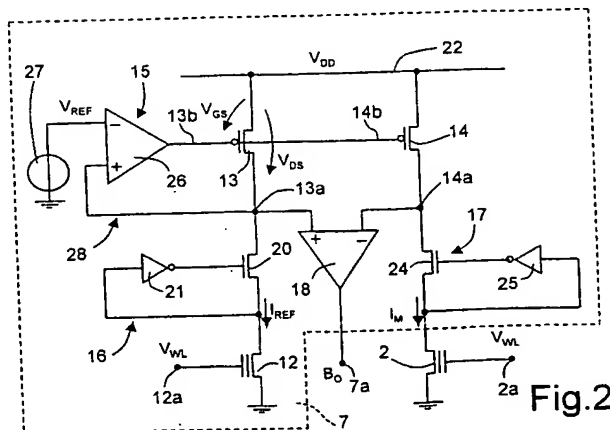


Fig.2



CAMERA DI COMMERCIO
INDUSTRIA ARTIGIANATO E AGRICOLTURA
DI TORINO

D E S C R I Z I O N E

del brevetto per invenzione industriale

di STMICROELECTRONICS S.R.L.

di nazionalità italiana,

con sede a 20041 AGRATE BRIANZA (MILANO) - VIA C. OLIVETTI, 2

Inventori: PASOTTI Marco, DE SANDRE Guido, IEZZI David,

POLES Marco

18 FEB. 2003

*** **

10 2003A 000121

La presente invenzione si riferisce ad un amplificatore di lettura di celle di memoria non volatile a bassa tensione di alimentazione.

Come è noto, la lettura di celle di memoria non volatile è normalmente basata sul confronto fra le correnti fluenti attraverso una cella di memoria selezionata (cella da leggere) e una cella di memoria di riferimento, polarizzate con uguali tensioni porta-sorgente e pozzo-sorgente. In pratica, nei circuiti amplificatori di lettura noti, la cella da leggere e la cella di memoria di riferimento vengono accoppiate a rispettivi transistori di carico collegati fra loro a specchio di corrente e aventi perciò uguale tensione porta-sorgente. Le correnti fluenti nelle celle vengono così convertite in tensioni che vengono poi direttamente confrontate mediante un circuito comparatore avente ingressi collegati ai terminali di pozzo dei transistori di carico.

CERBANO Eleng
(iscrizione Albo nr 426/BM)

La tradizionale architettura a specchio di corrente, tipicamente utilizzata per il collegamento fra i transistori di carico, limita però le prestazioni dei circuiti amplificatori di lettura noti e, soprattutto, rende problematico il loro impiego in presenza di basse tensioni di alimentazione.

Infatti, per poter condurre una corrente sufficiente, i transistori di carico devono avere una tensione porta-sorgente di conduzione pari, in valore assoluto, alla somma di una tensione di soglia e di una tensione cosiddetta di "overdrive". Facendo riferimento al caso tipico di transistori di carico di tipo PMOS, con terminali di sorgente collegati a una linea di alimentazione, in entrambi i transistori di carico il terminale di porta deve trovarsi a una tensione inferiore rispetto alla tensione di alimentazione di una quantità pari alla tensione di conduzione.

Inoltre, uno dei transistori di carico (normalmente quello associato alla cella di riferimento) è in configurazione a diodo, ossia ha i terminali di pozzo e di sorgente direttamente collegati fra loro. È quindi evidente che anche il terminale di pozzo viene polarizzato a una tensione pari alla tensione di alimentazione diminuita della tensione di conduzione.

Un vincolo di questo tipo è però scarsamente compatibile con le tensioni di alimentazione attualmente utilizza-

CERAPRO Elettro
Isolazioni: Albo nr 426/BMI

te e, soprattutto, contrasta con l'esigenza, sempre più sentita, di ridurre le tensioni di alimentazione per minimizzare il consumo di potenza. La tensione sul terminale di porta dei transistori di carico deve infatti essere sufficiente a garantire il corretto funzionamento anche della cella da leggere e, in particolare, della cella di riferimento, che è nella condizione più critica. Inoltre, devono essere polarizzati con una tensione sufficiente anche altri componenti che sono normalmente collegati in cascata fra il terminale di pozzo del transistore di carico e la cella di riferimento. In particolare, sono di solito previsti uno stadio per regolare la tensione di pozzo della cella di riferimento e transistori cosiddetti "dummy", che riproducono sul lato della cella di riferimento l'effetto dei circuiti decodificatori di colonna.

A titolo di esempio, si consideri un amplificatore di lettura ricevente una tensione di alimentazione di 1,8 V e provvisto di un transistore di carico con tensione di soglia pari a 0,5 V e operante con una tensione di "overdrive" di 0,3 V. In questo caso, la tensione porta-sorgente di conduzione è pari a circa 0,8 V e quindi il terminale di pozzo del transistore di carico in configurazione a diodo si trova a circa 1 V, al limite delle condizioni di corretto funzionamento. È evidente che disturbi o variazioni termiche anche di modesta entità possono facil-

CERBARI Elena
fisc. Albo n° 426/BMI

mente causare dei malfunzionamenti.

Scopo della presente invenzione è realizzare un amplificatore di lettura che sia privo degli inconvenienti descritti.

Secondo la presente invenzione viene realizzato un amplificatore di lettura di celle di memoria non volatili a bassa tensione di alimentazione, come definito nella rivendicazione 1.

Per una migliore comprensione dell'invenzione, ne vengono ora descritte alcune forme di realizzazione, a puro titolo di esempio non limitativo e con riferimento ai disegni allegati, nei quali:

- la figura 1 illustra uno schema circuitale semplificato di un dispositivo di memoria non volatile; e

- la figura 2 illustra uno schema circuitale più dettagliato di un circuito amplificatore di lettura secondo una prima forma di attuazione della presente invenzione; e

- la figura 3 illustra uno schema circuitale più dettagliato di un circuito amplificatore di lettura in una seconda forma di attuazione della presente invenzione.

Con riferimento alla figura 1, un dispositivo di memoria non volatile, indicato nel suo complesso con 1, comprende una pluralità di celle di memoria 2, organizzate su righe e colonne in modo da formare una matrice di memoria 3, un decodificatore di riga 4, un decodificatore di colonna

CERRARO Elena
Iscrizione Albo nr 426/BWJ



na 5, e un circuito di lettura/scrittura 8, avente un circuito di polarizzazione 6 e una pluralità di amplificatori di lettura 7 (sense amplifiers).

In particolare, celle di memoria 2 appartenenti alla stessa riga hanno i rispettivi terminali di porta collegati al decodificatore di riga 4 tramite una stessa linea di parola 9, e celle di memoria 2 appartenenti a una stessa colonna hanno i rispettivi terminali di pozzo collegati al decodificatore di colonna 5 mediante una stessa linea di bit 10.

Il decodificatore di riga 4, in modo noto, seleziona una riga di parola 9 e la collega a un'uscita del circuito di polarizzazione 6, mentre il decodificatore di colonna 5 seleziona un prefissato numero di linee di bit 10 e le collega a rispettivi amplificatori di lettura 7.

L'uscita del circuito di polarizzazione 6 è collegata sia al decodificatore di riga 4, come accennato, sia agli amplificatori di lettura 7 e fornisce, in modo di per sé noto, appropriate tensioni di lettura e scrittura; in particolare, in fasi di lettura o di verifica, l'uscita del circuito di polarizzazione 6 alimenta una tensione di lettura V_{WL} alla linea di parola 10 selezionata dal decodificatore di riga 4 e agli amplificatori di lettura 7.

Gli amplificatori di lettura 7 hanno rispettive uscite 7a, fornenti rispettivi segnali di uscita B_0 , correlati ai

CERBARI Elena
(Iscrizione Albo nr 426/BM)

dati memorizzati nelle celle di memoria 2 selezionate per la lettura.

La struttura degli amplificatori di lettura 7 è illustrata più in dettaglio nella figura 2. In particolare, ciascun amplificatore di lettura 7 comprende una cella di riferimento 12, identica alle celle di memoria 2, un carico attivo di riferimento 13, un carico attivo di matrice 14, un circuito di controllo 15 dei carichi, un primo e un secondo limitatore di tensione 16, 17 e un comparatore 18.

La cella di riferimento 12 e il carico attivo di riferimento 13 sono collegati fra loro attraverso il primo limitatore di tensione 16.

Più precisamente, la cella di riferimento 12 ha terminale di sorgente collegato a massa e terminale di porta 12a collegato all'uscita del circuito di polarizzazione 6 (qui non mostrato), in modo da ricevere la tensione di lettura V_{WL} .

Il primo limitatore di tensione 16, che è preferibilmente uno stadio di tipo "cascode", comprende un primo transistor limitatore 20, di tipo NMOS, avente terminale di sorgente collegato al terminale di porta attraverso un primo invertitore 21, avente una tensione di scatto prefissata (ad esempio, 0,8 V). Il terminale di sorgente del primo transistor limitatore 20 è inoltre collegato al terminale di pozzo della cella di riferimento 12, che è quindi

CERARO Elong
Iscrizione Albo nr. 426/BMI

un nodo a bassa impedenza.

Il carico attivo di riferimento 13 e il carico attivo di matrice 14 sono preferibilmente transistori PMOS fra loro identici. In particolare, il carico attivo di riferimento 13 e il carico attivo di matrice 14 hanno rispettivi terminali di porta collegati al circuito di controllo 15, come chiarito più avanti, e rispettivi terminali di sorgente collegati a una linea di alimentazione 22, fornente una tensione di alimentazione V_{DD} pari, ad esempio a 1,5 V. Inoltre, il terminale di pozzo 13a del carico attivo di riferimento 13 è collegato al terminale di pozzo del primo transistor limitatore 20, mentre il carico attivo di matrice ha terminale di pozzo 14a collegato al secondo limitatore di tensione 17.

Anche il secondo limitatore di tensione 17 è uno stadio "cascode" che comprende un secondo transistor limitatore 24, identico al primo transistor limitatore 20; in particolare, il secondo transistor limitatore 24 ha terminale di pozzo collegato al terminale di pozzo 14a del carico attivo di matrice 14 e terminale di sorgente collegato al terminale di porta attraverso un secondo invertitore 25, avente tensione di scatto uguale al primo invertitore 21. Inoltre, il terminale di sorgente del secondo transistor limitatore 24 è collegato al terminale di pozzo di una cella di memoria 2 selezionata per la lettura, attraverso il

CERVARO Elena
(Iscrizione Albo n° 426/BM)

decodificatore di colonna 5, qui per semplicità non illustrato. Ovviamente, la cella di memoria 2 selezionata ha il proprio terminale di porta 2a collegato, tramite una rispettiva linea di parola 9, al circuito di polarizzazione 6 e riceve perciò la tensione di lettura V_{WL} .

In pratica, la cella di riferimento 12, il primo limitatore di tensione 16 e il carico attivo di riferimento 13 formano un ramo di riferimento, lungo il quale fluisce una corrente di riferimento I_{REF} ; analogamente, la cella di memoria 2 selezionata, il secondo limitatore di tensione 17 e il carico attivo di matrice formano un ramo di matrice in cui fluisce una corrente di matrice I_M , dipendente dalla tensione di soglia della cella di memoria 2, ossia dal dato in essa memorizzato.

Il circuito di controllo 15 comprende un amplificatore differenziale 26 avente un ingresso non invertente collegato al terminale di pozzo 13a del carico attivo di riferimento 13, un ingresso invertente collegato a un generatore di tensione 27, fornente una tensione di riferimento V_{REF} , e un'uscita, collegata ai terminali di porta 13b, 14b dei carichi attivi di riferimento 13 e di matrice 14. L'amplificatore differenziale 26 e il carico attivo di riferimento 13 formano quindi un anello di retroazione 28 che mantiene il terminale di pozzo 13a del carico attivo di matrice 14 stesso a una tensione pari alla tensione di riferimento

CERBARO Elena
Iscrizione Albo nr. 426/BMI



V_{REF} . Preferibilmente, inoltre, la tensione di riferimento V_{REF} è una tensione di band-gap, indipendente dalla tensione di alimentazione V_{DD} (con il solo vincolo di essere inferiore) e dalla temperatura, ed è compresa fra 1 V e 1,3 V (ad esempio, la tensione di riferimento V_{REF} è 1,1 V).

Il comparatore 18 ha un ingresso non invertente e un ingresso invertente collegati al terminale di pozzo 13a del carico attivo di riferimento 13 e, rispettivamente, al terminale di pozzo 14a del carico attivo di matrice 14; un'uscita del comparatore 18 forma l'uscita 7a dell'amplificatore di lettura 7 e fornisce il corrispondente segnale di uscita B_0 .

Il funzionamento dell'amplificatore di lettura 7 è il seguente.

In fase di lettura, la cella di memoria 2 selezionata e la cella di riferimento 12 ricevono ai rispettivi terminali di porta 2a, 12a la tensione di lettura V_{WL} e sono pertanto in condizione di condurre corrente. Inoltre, i limitatori di tensione 16, 17 mantengono i terminali di pozzo della cella di memoria 2 selezionata e della cella di riferimento 12 a una tensione prestabilita, sostanzialmente pari alla tensione di scatto degli invertitori 21, 25 (in questo caso 0,8 V). Infatti, quando tale tensione di scatto viene superata in uno dei rami di matrice o di riferimento, il corrispondente invertitore 21, 25 tende a commutare, ab-

CERBARO Elena
(Iscrizione Albo nr. 426/BM)

bassando la tensione sul terminale di porta del rispettivo transistor limitatore 20, 24.

Il circuito di controllo 15 pilota il carico di riferimento 13 in modo da mantenere il terminale di pozzo 13a di quest'ultimo, che è collegato all'ingresso non invertente dell'amplificatore differenziale 26, sostanzialmente alla tensione di riferimento V_{REF} . In altre parole, l'amplificatore differenziale 26 controlla la tensione porta-sorgente V_{GS} del carico attivo di riferimento 13 in modo da mantenere sostanzialmente alla stessa tensione i propri ingressi invertente e non invertente, mentre attraverso il carico attivo di riferimento 13 fluisce la corrente di riferimento I_{REF} . Di conseguenza, la tensione presente sul terminale di pozzo 13a del carico attivo di riferimento 13 rimane fissata a un valore predefinito (pari alla tensione di riferimento V_{REF}), indipendentemente dal valore assunto dalla tensione porta-sorgente V_{GS} . Più precisamente, la tensione porta-sorgente V_{GS} è indipendente dalla tensione pozzo-sorgente V_{DS} presente fra i terminali di pozzo 13a e di sorgente del carico attivo di riferimento 13. In pratica, il terminale di porta del carico attivo di riferimento 13 può scendere a una tensione inferiore rispetto al terminale di pozzo 13a: da un lato, quindi, la tensione porta-sorgente V_{GS} è tale da permettere il passaggio della corrente di riferimento I_{REF} attraverso il carico di riferimento

CERARO Elena
Isotopia Albo nr. 426/BMI

13 e la cella di riferimento 12 e, dall'altro, il terminale di pozzo 13a del carico attivo di riferimento 13 viene mantenuto a una tensione abbastanza elevata da garantire la corretta polarizzazione sia del transistor limitatore 20, sia della cella di riferimento 12. A titolo di esempio, considerando per il carico attivo di riferimento 13 una tensione di soglia di 0,5 V e una tensione di "overdrive" di 0,3 V, la tensione porta-sorgente V_{GS} è pari a 0,8 V in valore assoluto; quindi, il terminale di porta del carico attivo di riferimento 13 si trova a una tensione pari a $V_{DD} - |V_{GS}| = 1,5 - 0,8 = 0,7$ V, mentre il terminale di pozzo 13a, come già chiarito, si trova alla tensione di riferimento V_{REF} (in questo caso 1,1 V).

Chiaramente, dato che il carico attivo di riferimento 13 e il carico attivo di matrice 14 sono fra loro identici e sono polarizzati con la stessa tensione porta sorgente V_{GS} , hanno anche sostanzialmente uguale resistenza di uscita. Di conseguenza, la differenza fra la corrente di riferimento I_{REF} e la corrente di matrice I_M e la differenza fra le tensioni sui terminali di pozzo 13a, 14a del carico attivo di riferimento 13 e del carico attivo di matrice 14 dipendono unicamente dalla differenza fra le tensioni di soglia della cella di riferimento 12 e, rispettivamente, della cella di matrice 2 selezionata. Pertanto, il valore del segnale di uscita B_0 fornito dal comparatore 18 è indi-

CERBARO Elena
(Iscrizione Albo nr 426/BM)

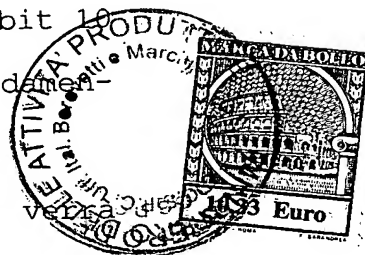
cativo del dato memorizzato nella cella di memoria 2 selezionata.

I vantaggi dell'invenzione risultano evidenti da quanto sopra descritto. In primo luogo, il circuito di controllo 15 permette di svincolare i terminali di porta e di pozzo del carico attivo di riferimento 13. Di conseguenza, il terminale di pozzo del carico attivo di matrice 13 può essere mantenuto a una tensione molto vicina alla tensione di alimentazione V_{DD} , assicurando comunque la conduzione di corrente, anche quando occorre polarizzare il terminale di porta a una tensione decisamente inferiore. In pratica, ciò significa che l'amplificatore di lettura 7 può operare correttamente e con elevata precisione anche con basse tensioni di alimentazione, come appunto 1,5 V.

Inoltre, l'utilizzo del circuito di controllo 15 è vantaggioso anche durante i transitori di carica delle linee di bit 10, nelle fasi iniziali delle operazioni di lettura. In questo caso, infatti, l'amplificatore differenziale 26 impone sui terminali di porta dei carichi attivi 13, 14 tensioni prossime a 0 V. I carichi attivi 13, 14 possono così condurre correnti elevate e quindi le linee di bit 10 ed eventuali capacità parassite vengono caricate rapidamente.

Una seconda forma di attuazione dell'invenzione verrà di seguito descritta con riferimento alla figura 3, in cui

CERBARO Elena
(Iscrizione Albo nr 426/BM)



parti uguali a quelle già descritte sono indicate con gli stessi numeri di riferimento. In particolare, un amplificatore di lettura 100 comprende la cella di riferimento 12, identica alle celle di memoria 2, il carico attivo di riferimento 13, il carico attivo di matrice 14, un circuito di controllo 115 dei carichi, e il comparatore 18, che in questo caso ha ingresso non invertente collegato al terminale di porta 13b del carico attivo di riferimento 13, ingresso invertente collegato al terminale di porta 14b del carico attivo di matrice 14 e uscita formante un'uscita 100a dell'amplificatore di lettura 100; inoltre la linea di alimentazione 22 fornisce una tensione di alimentazione V_{DD} pari a 1 V. In questo caso, i terminali di pozzo della cella di riferimento 12 e della cella di memoria 2 sono direttamente collegati ai terminali di pozzo 13a, 14a del carico attivo di riferimento 13 e del carico attivo di matrice 14, in pratica senza l'interposizione dei limitatori di tensione. Inoltre, il circuito di controllo dei carichi 115 comprende un primo amplificatore differenziale 126, avente un ingresso non invertente collegato al terminale di pozzo 13a del carico attivo di riferimento 13, un ingresso invertente collegato a un generatore di tensione 127, fornente una tensione di riferimento V_{REF} , e un'uscita, collegata al terminale di porta 13b del carico attivo di riferimento 13; e un secondo amplificatore differenziale 130, avente un in-

CERRARO Elena
(Iscrizione Albo nr 426/BAI)

gresso non invertente collegato al terminale di pozzo 14a del carico attivo di matrice 14, un ingresso invertente collegato al generatore di tensione 127 e un'uscita, collegata al terminale di porta 14b del carico attivo di matrice 14. Il primo amplificatore differenziale 126 e il carico attico di riferimento 13 formano un primo anello di retroazione 128 che controlla la tensione porta-sorgente V_{GS} e regola la tensione sul terminale di pozzo 13a del carico attivo di riferimento 13 stesso alla tensione di riferimento V_{REF} ; analogamente, il secondo amplificatore differenziale 130 e il carico attico di matrice 14 formano un secondo anello di retroazione 131 che regola la tensione sul terminale di pozzo 14a del carico attivo di matrice 14 stesso alla tensione di riferimento V_{REF} .

In questo modo, viene superata la necessità dei limitatori di tensione, la cui funzione, in pratica, viene svolta dagli anelli di retroazione 128, 131, e quindi l'amplificatore di lettura 100 è adatto a operare con tensioni di alimentazione particolarmente basse, come ad esempio 1 V.

Risulta infine evidente che all'amplificatore di lettura descritto possono essere apportate modifiche e varianti, senza uscire dall'ambito della presente invenzione.

Ad esempio, nell'amplificatore di lettura 7 di figura 2, fra il primo limitatore di tensione 16 e il terminale di

CERNARO Elena
Iscrizione Albo nr 426/BW

pozzo della cella di riferimento 12 potrebbero essere previsti uno o più transistori "dummy" sempre polarizzati in conduzione. Tali transistori bilanciano la presenza del decodificatore di colonna 5 fra la cella di memoria 2 selezionata e il secondo limitatore di tensione 17 e vengono utilizzati per equilibrare il ramo di riferimento rispetto al ramo di matrice.

Inoltre, per ottimizzare le prestazioni in termini di stabilità e velocità di risposta, è possibile compensare l'amplificatore di lettura. Ad esempio, è possibile collegare un condensatore di compensazione fra il terminale di pozzo del carico attivo di riferimento e massa, eventualmente con un resistore di compensazione in serie; in alternativa, può essere effettuata una compensazione alla Miller utilizzando un condensatore di compensazione collegato fra i terminali di pozzo e di porta del carico attivo di riferimento.

CERVARO Elena
(iscrizione Albo nr 426/BAI)

R I V E N D I C A Z I O N I

1. Amplificatore di lettura di celle di memoria (2) non volatile, comprendente una cella di riferimento (12), un primo carico (13), collegato a detta cella di riferimento (12), e un secondo carico (14), collegabile a una cella di memoria (2) non volatile, detto primo carico (13) e detto secondo carico (14) avendo resistenza controllabile; caratterizzato dal fatto di comprendere un circuito di controllo (15; 115) di detto primo carico (13) e di detto secondo carico (14), fornente a detto primo carico (13) e a detto secondo carico (14) una tensione di controllo (V_{GS}) indipendente da una tensione operativa (V_{DS}) fra un primo e un secondo terminale di conduzione (13a, 22) di detto primo carico (13).

2. Amplificatore di lettura secondo la rivendicazione 1, caratterizzato dal fatto che detto circuito di controllo (15; 115) comprende un amplificatore retroazionato (26; 126), collegato a detto primo carico (13), per controllare una tensione su detto primo terminale di conduzione (13a).

3. Amplificatore di lettura secondo la rivendicazione 2, caratterizzato dal fatto che detto amplificatore retroazionato (26; 126) ha un primo ingresso collegato a detto primo terminale di conduzione (13a) di detto primo carico (13), un secondo ingresso collegato a un generatore di tensione (27), fornente una tensione di riferimento (V_{REF}) co-

CESARO Elena
(Iscrizione Albo nr. 426/BAI)



stante, e un'uscita, collegata a un terminale di controllo (13b) di detto primo carico (13).

4. Amplificatore di lettura secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto che detto primo terminale di conduzione (13a) e detto secondo terminale di conduzione (22) di detto primo carico (13) sono collegati a detta cella di riferimento (12) e, rispettivamente, a una linea di alimentazione, fornente una tensione di alimentazione (V_{DD}).

5. Amplificatore secondo la rivendicazione 4, caratterizzato dal fatto che detto secondo carico (14) ha un primo terminale di conduzione (14a), collegabile a detta cella di memoria (2), e un secondo terminale di conduzione (22), collegato a detta linea di alimentazione.

6. Amplificatore di lettura secondo la rivendicazione 5, caratterizzato dal fatto che detto primo carico (13) e detto secondo carico (14) comprendono rispettivi transistori PMOS e dal fatto che rispettivi detti primi terminali di conduzione (13a, 14a) sono terminali di pozzo e rispettivi detti secondi terminali di conduzione (22) sono terminali di sorgente.

7. Amplificatore di lettura secondo una qualsiasi delle rivendicazioni 3-6, caratterizzato dal fatto che detta uscita (13b) di detto amplificatore retroazionato (26) è collegata a un terminale di controllo (14b) di detto secon-

CERNARO Elena
(Iscrizione Albo nr 426/BM)

do carico (14).

8. Amplificatore di lettura secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto di comprendere un primo limitatore di tensione (16) collegato fra detto primo carico (13) e detta cella di riferimento (12), per mantenere un terminale di pozzo di detta cella di riferimento (12) a una tensione prefissata, e un secondo limitatore di tensione (17) collegabile fra detto secondo carico (14) e detta cella di memoria (2) per mantenere un terminale di pozzo di detta cella di riferimento (12) a detta tensione prefissata.

9. Amplificatore di lettura secondo una qualsiasi delle rivendicazioni 1-6, caratterizzato dal fatto che detto primo terminale di conduzione (13a) di detto primo carico (13) è direttamente collegato a detta cella di riferimento (12) e detto primo terminale di conduzione (14a) di detto secondo carico (14) è direttamente collegabile a detta cella di memoria (2).

10. Amplificatore di lettura secondo la rivendicazione 9, caratterizzato dal fatto di comprendere un circuito regolatore di tensione (27, 130) associato a detto primo carico (14) per mantenere detto primo terminale di conduzione (14a) di detto secondo carico (14) a una tensione prefissata.

11. Amplificatore di lettura secondo una qualsiasi

CERAPPO Elena
(Iscrizione Albo nr 426/BMI)

delle rivendicazioni precedenti, caratterizzato dal fatto di comprendere un circuito comparatore (18) avente un primo e un secondo ingresso collegati a detto primo carico (13) e, rispettivamente, a detto secondo carico (14), e un'uscita (7a; 100a), fornente un segnale (B_0) correlato a un dato memorizzato in detta cella di memoria (2).

12. Memoria non volatile comprendente una pluralità di celle di memoria (2) e un circuito di lettura/scrittura (8), selettivamente collegabile a dette celle di memoria (2); caratterizzato dal fatto che detto circuito di lettura/scrittura (8) comprende una pluralità di amplificatori di lettura (7), realizzati secondo una qualsiasi delle rivendicazioni 1-11.

13. Amplificatore di lettura di celle di memoria non volatile, sostanzialmente come descritto con riferimento alle figure annesse.

p.i.: STMICROELECTRONICS S.R.L.

CERBARO Elena
Iscrizione Albo nr 426/BMI

CERBARO Elena
Iscrizione Albo nr 426/BMI



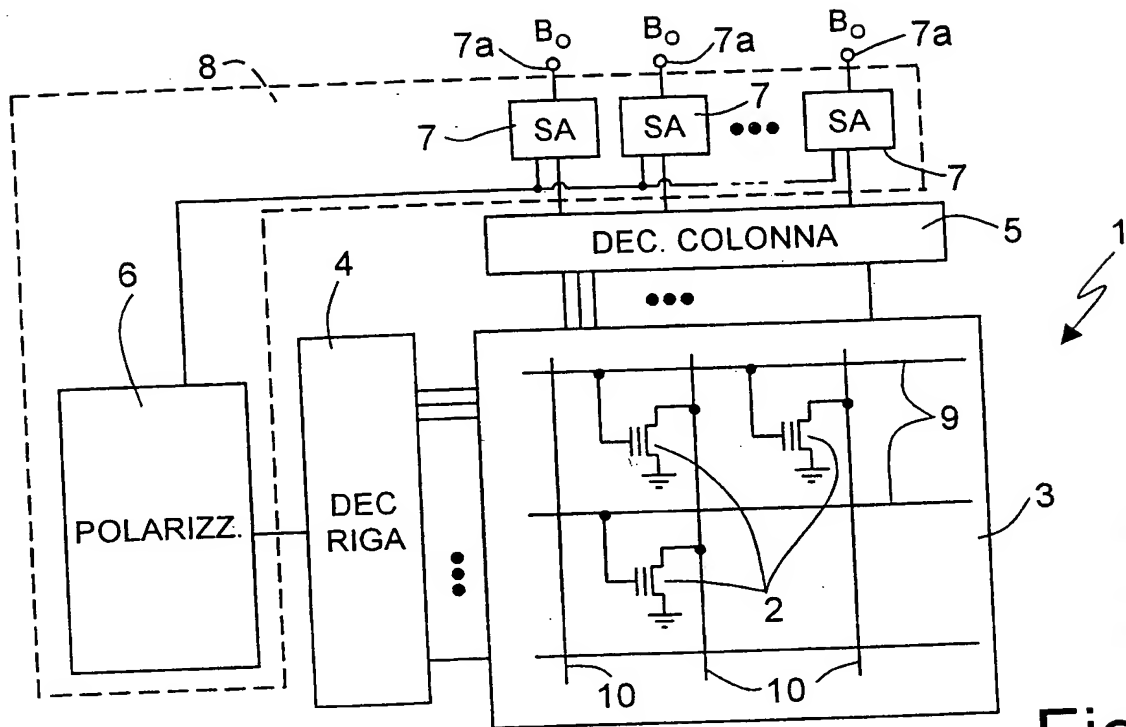


Fig.1

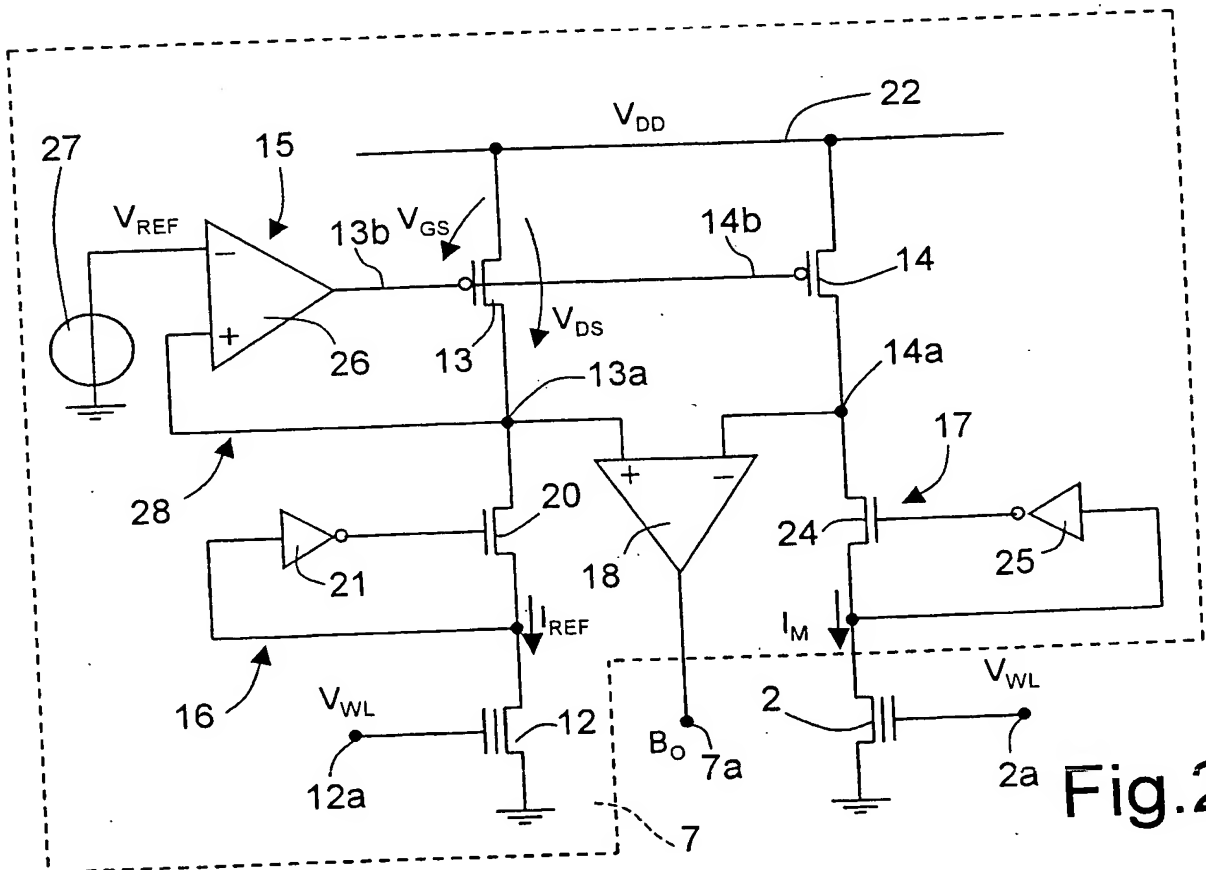


Fig.2

TO 2003A 000121

